

PAT-NO: JP402014577A  
DOCUMENT-IDENTIFIER: JP 02014577 A  
TITLE: THIN FILM TRANSISTOR  
PUBN-DATE: January 18, 1990

INVENTOR-INFORMATION:  
NAME  
KAWACHI, GENSHIROU  
YOSHIMURA, MASAO  
KONISHI, NOBUTAKE

ASSIGNEE-INFORMATION:  
NAME HITACHI LTD COUNTRY  
N/A

APPL-NO: JP62238746  
APPL-DATE: September 25, 1987

INT-CL (IPC): H01L029/784, H01L027/12  
US-CL-CURRENT: 257/354

ABSTRACT:

PURPOSE: To suppress an increase in an off-current at the time of photoirradiation by forming a defective layer containing a defect in appropriate density in a specific region inside an active region between both the source and drain regions.

CONSTITUTION: Due to an existing defective layer 7 of high resistance, the film thickness of an effective layer is thinned from  $t_{SB1}$  to  $t_{SB2}$

so that an off-current reduces similarly to the case where the film thickness is made thin. Further, at the time of photoirradiation, a surplus carrier is excited all over the active layer. Generally, however, the relation  $\tau \propto 1/N$  is formed between a life ( $\tau$ ) of the surplus carrier and the density  $N$  of a defect acting as the center of reunion of the carrier so that the surplus carrier generated inside the defective layer almost does not contribute to conduction. Further, also the carrier generated in the region excepting the defective layer diffuses toward the defective layer due to a difference of a lift and depending on a density grade of the carrier generated in the film thickness direction for being rejoined and extinct so that the off-current at the time of photoirradiation gets a more remarkable suppressing effect than the time of simple film-thinning from the film thickness  $t_1$  to  $t_2$ .

COPYRIGHT: (C)1990, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-14577

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月18日

H 01 L 29/784  
27/12

A 7514-5F  
8624-5F

H 01 L 29/78

3 1 1 H

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭62-238746

⑰ 出 願 昭62(1987)9月25日

⑱ 発 明 者 河 内 玄 士 朗 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑲ 発 明 者 吉 村 雅 夫 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑳ 発 明 者 小 西 信 武 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外2名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

1. 絶縁基板上に形成されたゲート電極とゲート電極上にゲート絶縁膜を介して形成された半導体膜と、この半導体膜上に形成された第一の導電型を有する半導体から成るソース及びドレイン領域と、このソース、ドレイン領域上に形成されたソース、ドレイン電極を有する逆スタガード型のMOS型薄膜トランジスタにおいて、ソース、ドレイン両電極間のチャネル領域内のゲート絶縁膜/半導体界面から一定距離以上離れた領域にのみ、電子、正孔の再結合中心となる欠陥を母材の半導体膜中の濃度以上含む欠陥層を有する事の特徴とする薄膜トランジスタ。
2. 欠陥層において、欠陥に起因する局在準位密度が、フェルミ準位近傍で $1 \times 10^{18} (\text{cm}^{-3} \text{ev}^{-1})$ 以上である事の特徴とする請求の範囲第1項記載の薄膜トランジスタ。

3. ゲート絶縁膜/半導体界面から欠陥層までの距離を500Å以上とする事の特徴とする請求の範囲第1項記載の薄膜トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は絶縁基板上に形成される半導体薄膜素子に係り、特に液晶ディスプレイパネル駆動用として使用するのに適した特性を有する薄膜トランジスタに関する。

〔従来の技術〕

近年、絶縁基板上に非晶質或いは多結晶の半導体を用い薄膜能動素子を形成する技術開発が活発に行なわれている。この技術の応用の1つとして液晶ディスプレイパネル駆動用の薄膜トランジスタアクティブマトリックスがある。(以下薄膜トランジスタをTFTと記す。)このような目的に用いられるTFTの素子構造としては、(1)コープレーナ型、(2)スタガード型、(3)逆スタガード型の3つが代表的であるが、現在、3番目の逆スタガード型のTFTがかなり広く用いら

れている。

逆スタガード構造のTFTにおいては、TFT遮断時のオフ電流 $I_{off}$ は能動領域となるintrinsic型半導体膜の電気伝導度によりほぼ決定される。この半導体膜としてプラズマCVD法によつて形成される水素化非晶質Si（以下a-Si:Hと記す）を用いた場合、暗時の電気伝導度は $10^{-9}$  ( $\Omega\text{cm}$ )以上と高いものの、光感度が高い特性を持つため、 $1000\text{lx}$ 程度の光照射下においては伝導度は2桁以上増加する。この事は、 $1000\text{lx}$ 以上の強い光照射下での動作が避けられない液晶ディスプレイ駆動用のTFTアクティブマトリクスにおいては画像表示特性に重大な障害を与える。

このような光照射によるオフ電流の増加を抑制する方法として、判導体膜の膜厚を薄くする方法が有効である事が例えば、特開昭61-85868、において提案されている。

〔発明が解決しようとする問題点〕

しかしながら、第2図に示すような従来の逆ス

タガード型のTFTにおいてintrinsic - 半導体層(i層)4の膜厚を薄くすると、ソース、ドレインのn+層5をドライエッチングによりパターンニングする際オーバーエッチングによるi層の切断が生ずる可能性が大きくなる。特に、n+層の膜厚にバラツキがある場合同一基板内でi層の切断、或いは逆にn+層のエッチング不足等の不良が生じ歩留りの低下をまねく。従つてi層膜厚を薄くしてかつ高い歩留まりを保つためには、n+層膜厚の分布やドライエッチングの加工精度を向上させる等、製造プロセス条件を厳しくしなければならない。更に、プラズマCVD法により形成されたa-Si:Hにおいては、膜厚の減少と共に膜質が劣化し、その結果良好な特性を有する素子が得られにくい、等の大きな問題がある。

本発明は、以上の様な問題を伴うi層の薄膜化を行なう事なしに、薄膜化と同等の効果をもたらす構造を有するTFTを簡単な手段で提供することを目的とする。

〔問題点を解決するための手段〕

本発明は、逆スタガード型のTFTにおいて、ソース、ドレイン両電極間の能動領域内の特定の領域に適当な濃度の欠陥を含む欠陥層を形成することにより、能動層内での光電流の発生を抑え、光照射時のTFTのオフ電流の増大を抑制するもので、上記欠陥層をソース、ドレイン両電極をマスクとして自己整合的に形成する事を特徴とする。

〔作用〕

本発明のTFTの素子構造を第1図に示す。同図において、高抵抗の欠陥層7の存在により実効的な能動層の膜厚が $t_1$ から $t_2$ へ薄くなる事により膜厚を薄くした場合と同様にオフ電流は小さくなる。更に、光照射時においては、能動領域全域に余剰キャリアが励起されるが、一般に、余剰キャリアの寿命 $\tau$ とキャリアの再結合中心として働く欠陥の密度 $N_t$ の間には $\tau \propto 1/N_t$ の関係が成立する為、欠陥層7内で生成された余剰キャリアはほとんど伝導に寄与しない。更に、欠陥層7以外の領域で生成されたキャリアも寿命の違いによつて膜厚方向に生ずるキャリアの濃度勾配によつ

て、欠陥層の方へ拡散し再結合して消滅する為、光照射時におけるオフ電流は、単に膜厚を $t_1$ から $t_2$ へ薄膜化した時よりも抑制の効果は顕著になる。

一方、欠陥密度 $N_t$ がある程度以上になると、フェルミ準位付近の局在準位を介してのバリアブルレンジホッピングによる伝導が無視できなくなり、光感度は悪くなるものの暗伝導度が高くなり、TFTのオフ抵抗が下がってしまう。このバリアブルレンジホッピング伝導はフェルミ準位付近の局在準位密度が $1 \times 10^{16}\text{cm}^{-3}\text{eV}^{-1}$ 程度以上になると室温付近における暗伝導度に無視できない寄与を与えるため、欠陥密度はこれ以下に抑えなければならない。

更に欠陥層の深さは、TFTのしきい電圧 $V_T$ の上昇をもたらさないように、ゲート電圧印加時にi層のゲート絶縁膜側界面に形成される空間電荷層内に欠陥が存在しないように定める必要がある。

〔実施例〕

以下、第1図に示した本発明の一実施例の製作工程を第3図により説明する。

絶縁基板1上にゲート電極となるCr/Auをスパッタ法により1000Å堆積しパターンニングしてゲート電極2とする。次にプラズマCVD法によりゲート絶縁膜となるSiN<sub>2</sub> 3を3500Å、続いて能動層となるintrinsic-a-Si:H 4を1500Å、更にソース、ドレイン電極とオーミックコンタクトをとるためのn<sup>+</sup>-a-Si:H 5を1500Å堆積する。次に素子領域に分離した後、ソース、ドレイン電極となるAl 6をスパッタ法により6000Å堆積し、Al, n<sup>+</sup>-a-Si:Hをそれぞれパターンニングし、ソース、ドレイン電極を得る。ここで、Ar<sup>+</sup>イオンを加速電圧60 KeV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ の条件で、ソース、ドレイン電極をマスクとしてi層4へ浸く注入し欠陥層7を形成する。最後にパッシベーション膜としてa-SiN<sub>2</sub> 8をプラズマCVD法により6000Å堆積し第1図の素子を得る。

本実施例では半導体膜としてプラズマCVD法

により形成されるa-Si:Hを例にとつたが、減圧CVD法等により形成される多結晶Siを用いた場合にも本発明は同様に適用できる。また、欠陥層形成のための注入イオンは、A<sup>+</sup>イオンに限らず、シリコン中でドナーやアクセプタにならない電気的に不活性なイオンであれば何でも良い。例えば、Ne<sup>+</sup>, O<sup>+</sup>, N<sup>+</sup>などでも良い。

第4図は以上説明した工程により作製されたTFT(TFT:A)と、上記工程中、イオン注入による欠陥層生成の工程のみを行なわないで製作したTFT(TFT:B)のゲート電圧-ドレイン電流特性を示す。欠陥層の存在により特に光照射時のオフ電流の増加が抑制されており、本実施例の効果が明らかである。

〔発明の効果〕

以上説明したように、本発明によれば逆スタガード型TFTにおいて光照射時のオフ電流を、能動層半導体膜厚を薄くする事なく効果的に低減できる効果がある。

#### 4. 図面の簡単な説明

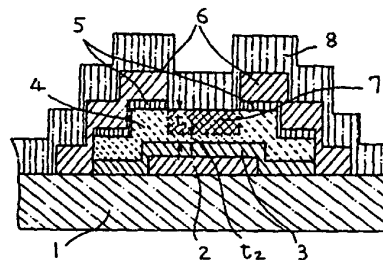
第1図は本発明の一実施例の断面の模式図、第2図は従来の逆スタガード構造TFTの断面の模式図、第3図は第1図に示した実施例の製造工程図、第4図は従来の構造のTFTと第3図の工程により作製された本発明のTFTのゲート電圧-ドレイン電流特性を比較した図である。

1…絶縁基板、2…ゲート電極、3…ゲート絶縁膜、4…intrinsic a-Si:H膜、5…n<sup>+</sup>-a-Si:H膜、6…ソース、ドレイン電極、7…欠陥層、8…パッシベーション膜、t<sub>1</sub>…intrinsic a-Si:Hの膜厚、t<sub>2</sub>…実効的な能動層膜厚。

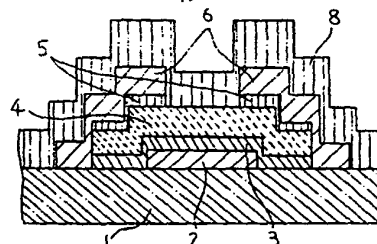
代理人 弁理士 小川勝男



第1図

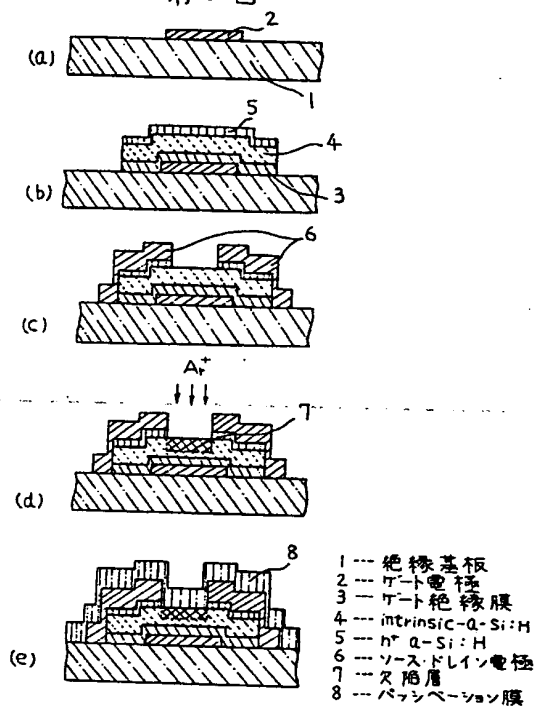


第2図



- |                          |                                    |
|--------------------------|------------------------------------|
| 1…絶縁層                    | 8…パッシベーション膜                        |
| 2…ゲート電極                  | t <sub>1</sub> …intrinsic a-Si:H膜厚 |
| 3…ゲート絶縁膜                 | t <sub>2</sub> …実効的な能動層膜厚          |
| 4…intrinsic a-Si:H       |                                    |
| 5…n <sup>+</sup> -a-Si:H |                                    |
| 6…ソース・ドレイン電極             |                                    |
| 7…欠陥層                    |                                    |

第3図



第4図

